

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02797070 **Image available**

ACTIVE MATRIX TYPE DISPLAY DEVICE

PUB. NO.: **01-094670** [JP 1094670 A]

PUBLISHED: April 13, 1989 (19890413)

INVENTOR(s): OKI KENICHI

NASU YASUHIRO

MATSUMOTO TOMOTAKA

INOUE ATSUSHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-252727 [JP 87252727]

FILED: October 06, 1987 (19871006)

INTL CLASS: [4] H01L-029/78; G02F-001/133; G09F-009/30; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 793, Vol. 13, No. 330, Pg. 90, July
25, 1989 (19890725)

ABSTRACT

PURPOSE: To allow threshold values to be easily controlled by electric means for thin film transistors by forming a second gate electrode disposed on the opposite side of a first gate electrode for both source electrode and drain electrode, an insulating film being interposed therebetween.

CONSTITUTION: On the surface of one 3 of a pair of transparent substrates which are oppositely disposed while interposing a display medium therebetween, a plurality of scan bus lines SB, a plurality of display electrodes E arranged in matrix form, first gate electrodes G of thin film transistors 1 corresponding to the display electrodes E, a source electrode S and a drain electrode D, both being oppositely disposed while interposing a gate insulating film 6 and an operating semiconductor film 5 on the first gate electrodes G, are arranged, they being connected to the scan bus line SB corresponding to the thin film transistor 1, relative display electrodes E, and to the next scan bus line. In the thin film transistor matrix having such constitution, a second gate electrodes G' are arranged on the opposite side of the first gate electrode G for both source electrode S and drain electrode D, an insulating film 4 being interposed therebetween.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8679306

Basic Patent (No,Kind,Date): JP 1094670 A2 19890413 <No. of Patents: 002>

ACTIVE MATRIX TYPE DISPLAY DEVICE (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): OKI KENICHI; NASU YASUHIRO; MATSUMOTO TOMOTAKA;
INOUE ATSUSHI

IPC: *H01L-029/78; G02F-001/133; G09F-009/30; H01L-027/12

Derwent WPI Acc No: G 89-154240

JAPIO Reference No: 130330E000090

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 1094670	A2	19890413	JP 87252727	A	19871006	(BASIC)
JP 2503030	B2	19960605	JP 87252727	A	19871006	

Priority Data (No,Kind,Date):

JP 87252727 A 19871006

⑫ 公開特許公報(A)

平1-94670

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月13日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/30
H 01 L 27/12

3 1 1
3 2 7
3 3 8

X-7925-5F
7370-2H
7335-5C
A-7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス型表示装置

⑯ 特 願 昭62-252727

⑰ 出 願 昭62(1987)10月6日

⑱ 発 明 者 沖 賢 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 発 明 者 那 須 安 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑳ 発 明 者 松 本 友 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
㉑ 発 明 者 井 上 淳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
㉓ 代 理 人 弁理士 井 柁 貞一

明 細 書

1. 発明の名称

アクティブマトリクス型表示装置

2. 特許請求の範囲

(1) 表示媒体を介して対向配置された一対の透明基板(3, 3')と、該一対の透明基板の一方(3)の表面に、平行に配列された複数本のスキャンバスライン(SB, SB')と、マトリクス状に配置された複数個の表示電極(E)と、該表示電極に対応する薄膜トランジスタ(1)の第1ゲート電極(G)と、該第1ゲート電極にゲート絶縁膜、動作半導体層を介して対向配置されたソース電極(S)、ドレイン電極(D)が、それぞれ当該薄膜トランジスタに対応するスキャンバスライン(SB)、対応する表示電極(E)、隣のスキャンバスライン(SB')に接続され、他方の透明基板(3')の表面に複数本のデータバスライン(DB)が配設された構成を有する薄膜トランジスタマトリクスにおいて、

前記ソース電極(S)およびドレイン電極(D)

の前記第1ゲート電極(G)と反対側に、絶縁膜(4)を介して配設された第2ゲート電極(G')を具備することを特徴とするアクティブマトリクス型表示装置。

(2) 前記第2ゲート電極(G')が不透明導電膜からなり、薄膜トランジスタ(1)の光シールド層を兼ねることを特徴とする特許請求の範囲第1項記載のアクティブマトリクス型表示装置。

3. 発明の詳細な説明

(概 要)

本発明はアクティブマトリクス型表示装置に関し、

閾値不良により歩留低下と経時不良の問題を解決するために、電気的な手段で容易に薄膜トランジスタの閾値を制御することのできるアクティブマトリクス型表示装置を提供することを目的とし、対向配置された一対の透明基板と、該一対の透明基板の一方の表面に、平行に配列された複数本

のスキャンバスラインと、マトリクス状に配置された複数本の表示電極と、該表示電極に対応する薄膜トランジスタの第1ゲート電極と、該第1ゲート電極にゲート絶縁膜、動作半導体層を介して対向配置されたソース電極、ドレイン電極が、それぞれ当該薄膜トランジスタに対応するスキャンバスライン、対応する表示電極、隣のスキャンバスラインに接続され、他方の透明基板の表面に複数本のデータバスラインが配設された構成を有する薄膜トランジスタマトリクスにおいて、前記ソース電極およびドレイン電極の前記第1ゲート電極と反対側に、絶縁膜を介して配設された第2ゲート電極を具備するよう構成した。

(産業上の利用分野)

本発明はアクティブマトリクス型表示装置に関する。

(従来の技術)

アクティブマトリクス型の表示装置は、多数の

ソース電極Sは対応する表示セルLCの表示電極Eに接続し、ドレイン電極Dは隣の例えば走査順位が次位のスキャンバスラインSB'に接続した、階梯状接続のスキャンバス接続群を少なくとも1個設けた構成である。

この方式は、表示欠陥の一つの大きな要因となっていたバスラインのクロスオーバーがなく、データ電圧波形の振幅を小さくできることから、クロストークを抑えることができ、高画質表示が得られるものである。

この方式のアクティブマトリクス回路が本来の動作を行うためには、これを構成するTFT1がゲートバイアス0Vの状態でもオフ状態となる必要がある。即ち、通常用いられるエレクトロンアキュムレーション型のTFTの場合、閾値電圧が正の値をとることが必要である。

(発明が解決しようとする問題点)

しかしTFTの閾値電圧は、プロセスの不安定要因、特にプラズマを用いたプロセス等での電極

画素をそれぞれ独立に駆動させることができるので、表示容量の増大に伴ってライン数が増大しても、単純マトリクス型表示装置のように駆動デューティ比が低下して、コントラストの低下や視野角の減少をきたす等の問題が生じない利点を有する。しかし各画素ごとにスイッチング素子を設けるためコストアップとなり、また構造が複雑となることから製造歩留に問題があった。

そこで本願発明者らは先に、アクティブマトリクス型表示装置の製造歩留を向上させると同時に、高い表示品質を実現できるスキャンバス階梯状接続対向マトリクス方式(これをゲート接続方式とも言う)を、特願昭61-212696号にて提案した。

上記スキャンバス階梯状接続対向マトリクス方式は、第5図及び第6図に示す如く、データバスラインDBとスキャンバスラインSBを別々の透明基板3、3'に配置し、且つ各表示セルLCを駆動するTFT(薄膜トランジスタ)1のゲート電極Gは対応するスキャンバスラインSBに、ソ

の帯電により影響を受け、これが製造歩留を下げる要因となる。また閾値は数時間の駆動により変化するため、この閾値の変化が寿命を決定するということも問題となる。

本発明は閾値不良により歩留低下と経時不良の問題を解決するために、電気的手段で容易にTFTの閾値を制御することのできるアクティブマトリクス型表示装置を提供することを目的とする。

(問題点を解決するための手段)

第1図は本発明の原理を説明するための要部構成図である。

同図に示すように本発明は、従来から具備する通常のゲート電極を第1ゲート電極G₁とし、チャネル部の反対側に絶縁層を介して形成した第2ゲート電極G₂を配設し、同一行に属する第2ゲート電極を共通に接続してパネル端部に引き出した構成としたものである。

この第2ゲート電極G₂には、動作時にバイアス電圧V_bを印加する。

〔作用〕

上記第2ゲート電極G₂へのバイアス電圧印加によって、TFT1のチャネル部の電位が影響を受ける結果、TFT1の特性は第2図に示すように変化する。

同図にはnチャネル型のTFTの特性例を示す。

図示したように、第2ゲート電極G₂に負のバイアス電圧V₂を印加することによって、ドレイン電流-第1ゲート電圧特性は正の方向に移動し、閾値電圧(図示の例では10⁻¹¹Aのドレイン電流となるゲート電圧)も正の方向に移動する。また第2ゲート電極に印加するバイアス電圧V₂を正の電圧とすることにより、閾値電圧は負の方向に移動する。

これを利用し、第2ゲート電極G₂へ印加するバイアス電圧V₂を制御することにより、閾値電圧を制御することが可能となる。この結果、従来では閾値が負の値となり表示が行えないパネルについては、正のバイアス印加によって閾値を正の値にして良好な表示を行わせることができる。ま

にシフトすることとなると考えられる。

なお第1ゲート電極G₁に印加される電圧は、当該TFT1の第1ゲート電極G₁が接続されているスキャンバスラインSBの電位V_{scan,n}とドレイン電極Dが接続されている次位のスキャンバスラインSB'の電位V_{scan,n+1}との差電圧となる。

〔実施例〕

以下本発明の実施例を図面により説明する。

第3図に本発明の第1の実施例を示す。透明基板3上に第2ゲート電極(例えばCr、Ti、Ni/Cr膜等からなり、厚さ約1000Å)G'を形成した後、絶縁膜(例えばSiN、SiO₂膜等からなり、厚さ約2000Å)4を全面に被覆し、その上層にドレイン電極D及びソース電極S、動作半導体層5、ゲート絶縁膜6、及び第1ゲート電極Gを形成して、スタガード型のTFTを形成したものである。

第4図は本発明の第2の実施例を示す図で、本

た閾値が経時変化によって負の値となる場合にも、予め第2ゲート電極に正のバイアスを印加しておくか、あるいはバイアス電圧V₂を駆動時間によって変えられるようにしておくことにより、表示不良の発生を防止できる。

第2のゲート電極G₂を設け、これに所望のバイアス電圧を印加することにより、上述した如く閾値電圧を制御できる理由は、次のように解される。

TFT1のスイッチング動作は、ゲート電極(本発明のTFTでは第1ゲート電極G₁)に正電圧を印加することにより、動作半導体層の伝導バンドをフェルミレベルに近づけ、キャリア電子の蓄積を生じさせ、動作半導体層を導通状態とすることによって行う。これに裏面の第2ゲート電極G₂よりゲートを逆極性の負電圧を印加すると、伝導バンドをフェルミレベルから遠ざける効果を生じ、キャリア電子の蓄積を生じさせるためには、正方向のゲート電圧を余分に印加することが必要となり、この結果TFT1の閾値電圧は正の方向

発明を逆スタガード型に適用した例である。透明基板3上に、第1ゲート電極G、ゲート絶縁膜6、動作半導体層5、ドレイン電極D及びソース電極Sを形成して、逆スタガード型のTFTを構成した後、TFTのチャネル領域を被覆するように選択形成された絶縁膜(SiO₂、SiN膜等、からなり、厚さ約2000Å)4の上に、ソース電極S及びドレイン電極Dが絶縁されるようにして、第2ゲート電極(AI、Ti膜等からなり、厚さ約1000Å)G'を形成する。

第1、第2の実施例のどちらの場合も第2ゲート電極G'として不透明の金属膜を用いているので、チャネル部への光の照射を防ぐ光シールド層を兼ね、従って光電流によってTFTのオフ電流が上昇することを同時に防止できる。

これら第1～第2の実施例のいずれの場合も、第2ゲート電極G'に印加するバイアス電圧V₂を3～15Vの範囲で制御することにより、閾値電圧を1～5Vの範囲で制御することが可能であった。従って閾値電圧が低すぎる場合や、経時変

化を生じた場合においても、第2ゲート電圧に適當なバイアス電圧を印加することによって、正常な表示を得ることができ、製造歩留が向上するとともに、安定に動作させることが可能となる。

(発明の効果)

以上の説明から明らかなように本発明によれば、ゲート接続対向マトリクス方式パネルにおいて、これまで不良原因となっていたTFTの閾値電圧不良の発生を、第2ゲート電極の電位を電気的に制御することによってなくすことができ、歩留の大幅な向上が図れる。またTFTの閾値の経時変化による表示不良の発生も防止することができ、素子寿命の大幅な改善を図ることができる。

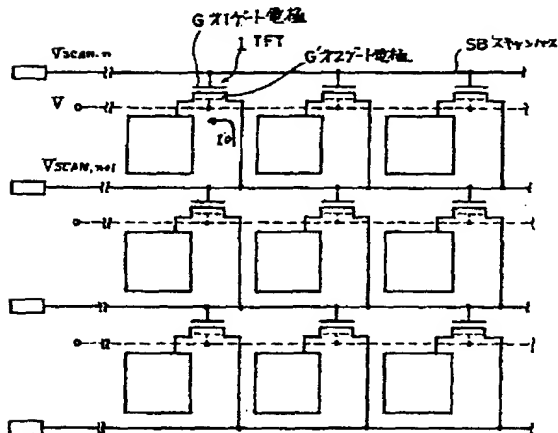
4. 図面の簡単な説明

第1図は本発明の要部構成説明図、

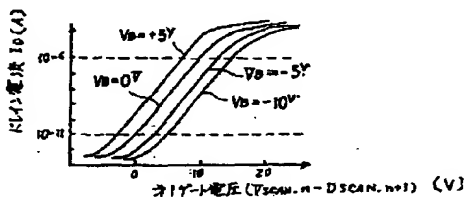
第2図は本発明の効果を示す特性図、

第3図は本発明の第1の実施例を示す図、

第4図は本発明の第2の実施例を示す図、



本発明の要部構成説明図
第1図



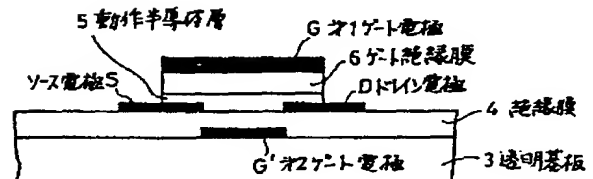
本発明の効果を示す特性図
第2図

第5図は従来のゲート接続方式の表示パネルの等価回路図、

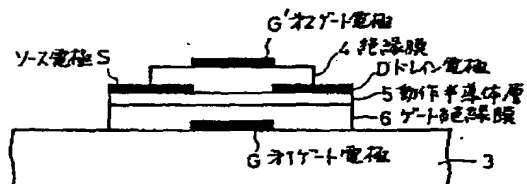
第6図は上記ゲート接続方式表示パネルの構成を示す斜視図である。

図において、1はTFT(薄膜トランジスタ)、3, 3'は透明基板、4は絶縁膜、5は動作半導体層、6はゲート絶縁膜、Dはドレイン電極、Sはソース電極、G, G'は第1および第2ゲート電極、Eは表示電極、LCは表示セルを示す。

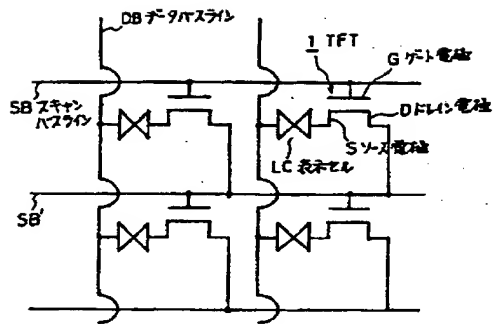
代理人 弁理士 井 術 貞



本発明の第1の実施例を示す図
第3図

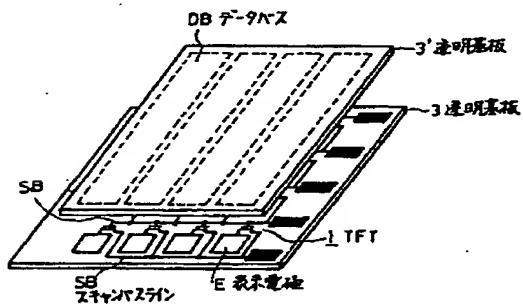


本発明の第2の実施例を示す図
第4図



従来ゲート接続方式の表示パネルの等価回路図

第5図



従来ゲート接続方式表示パネルの構成説明図

第6図